



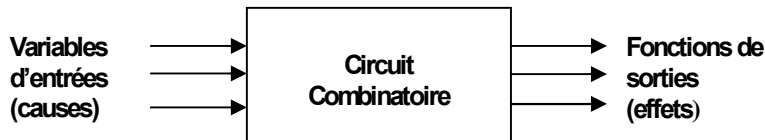
TRAITER :

CIRCUITS LOGIQUES COMBINATOIRES

Nom et prénom

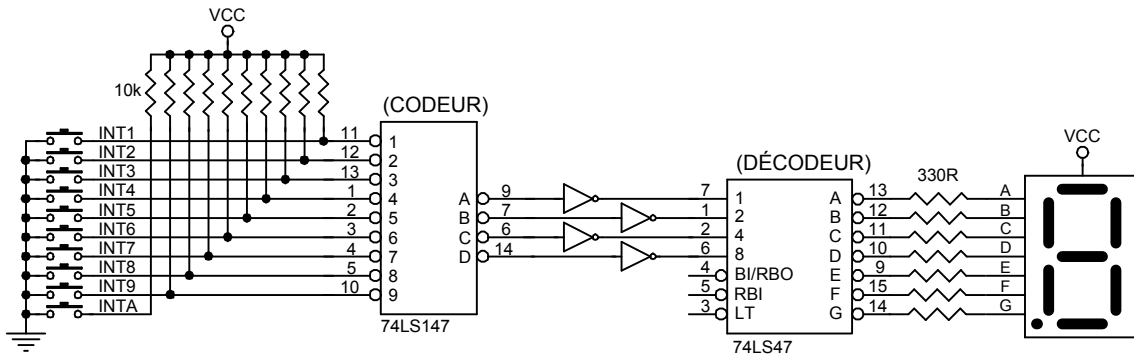
Introduction

Un circuit est combinatoire quand ses sorties ne dépendent que de ces entrées et non de ces états antérieurs : à chaque combinaison des variables d'entrée correspond toujours une seule combinaison des fonctions de sortie, et toujours la même : il n'y a pas de boudage des sorties vers les entrées.



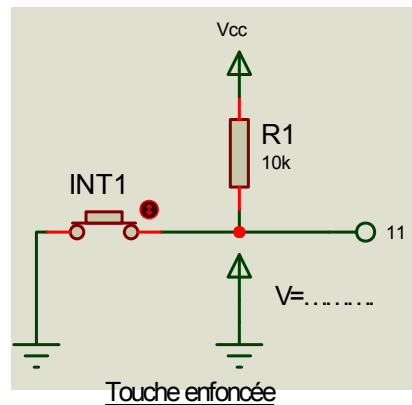
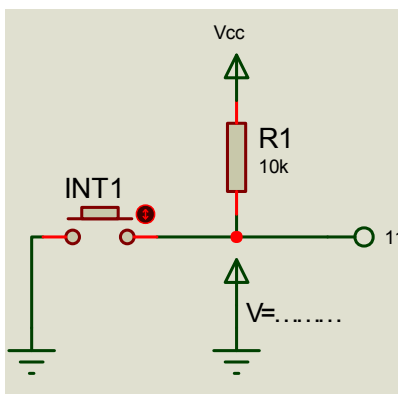
I- Unité d'affichage

Le circuit ci-dessous affiche sur un afficheur 7 segments la touche enfoncée d'un clavier, l'opération a nécessiter l'utilisation d'un codeur et un décodeur BCD/7segments.



I.1- Clavier « digicode »

Chaque touche du clavier est reliée à une résistance de tirage "pull-up" pour fournir un états logique '0' ou '1' à l'entrée du codeur.



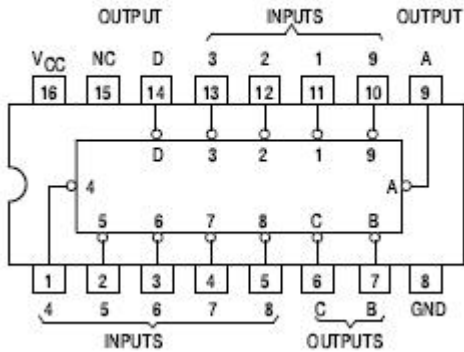
I.2- Codeur

C'est un circuit logique permettant de convertir un code quelconque en un autre code.

Le circuit 74LS147 code en binaire le numéro décimal de l'entrée activée. Les chiffres décimaux sont codés sur 4 bits (DCBA). Il s'agit d'un codeur décimal → DCB (Décimal Codé Binaire).



10-LINE-TO-4-LINE (TOP VIEW)

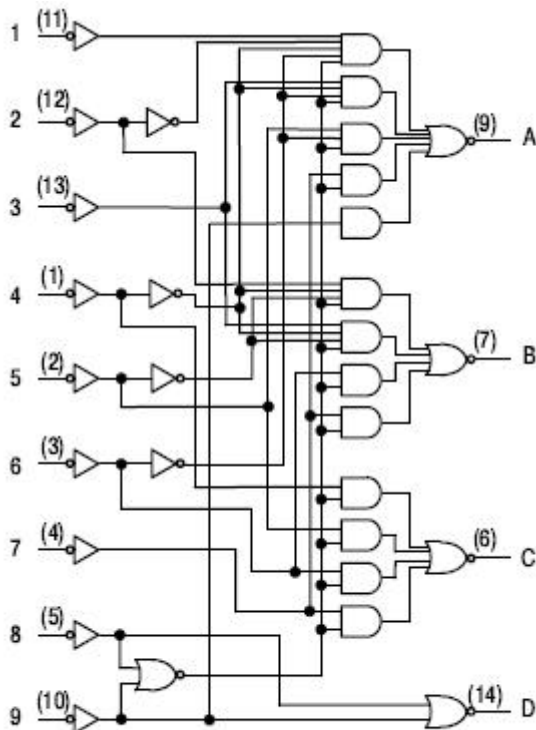


SN54/74LS147
FUNCTION TABLE

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Logic Level, L = LOW Logic Level, X = Irrelevant

FUNCTIONAL BLOCK DIAGRAM:



SN54/74LS147

Exercice :

1- À partir du logigramme ci-contre, donner les expressions logiques des sorties D et C.

.....

.....

.....

.....

2- À partir de la table de vérité du codeur, donner les expressions logiques des sorties D et C. conclure

.....

.....

.....

.....

.....

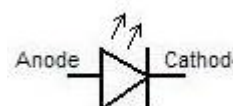
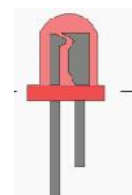
1.3- décodeur

Consiste à faire correspondre à un code présent en entrée sur n lignes, un autre code en sortie sur m lignes avec en général $m \neq n$

a - Décodeur BCD/7segments

Ce type de décodeur permet de convertir le code BCD 4bits à l'entrée pour obtenir à la sortie un code 7 segments permettant de commander un afficheur 7 segments permettant l'écriture de tous les chiffres et aussi d'autres symboles.

L'affichage se fait avec des afficheurs électro-luminescents sept segments, qui sont repérés a,b,c,d,e,f et g pouvant représenter tout chiffre (0 à 9). Chaque segment est constitué d'une DEL (Diode Electro-Luminescents) (ou LED: Light-Emitting Diode)



LED



DM74LS47

BCD to 7-Segment Decoder/Driver with Open-Collector Outputs

Test des segments:

(Note 5) La variable **LT** est prioritaire sur toutes les autres variables d'entrée; elle est active à l'état 0. Quel que soit l'état des autres variables d'entrée, toutes les sorties 7 segments sont mises à l'état 1 (éclairage).

Blanchiment des zéros:

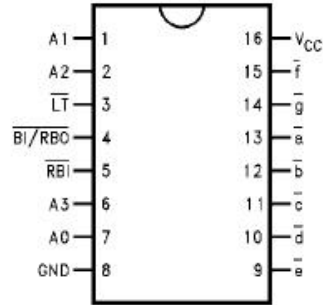
(Note 4) La variable **RBI** permet, lorsqu'elle est active, c'est à dire à l'état logique 0, d'effacer le chiffre zéro sur l'afficheur, et lui seul.

La variable de sortie **RBO** passe alors à l'état 0, dans le but de commander l'entrée **RBI** du décodeur suivant, cela afin d'effacer en cascade les zéros pas significatifs, de l'afficheur de poids le plus fort à l'afficheur de poids le plus faible.

(Note 3) La broche **BI/RBO** (dite "bidirectionnelle"), peut aussi être utilisée comme entrée: elle s'appelle alors **BI** (Blanking Input) et permet d'éteindre l'afficheur en toutes circonstances.

(Note 2) Pour afficher normalement les chiffres il faut que **BI/RBO** soit au niveau haut s'elle est utilisée comme entrée. Pour afficher le '0' **RBI** doit être aussi à 1.

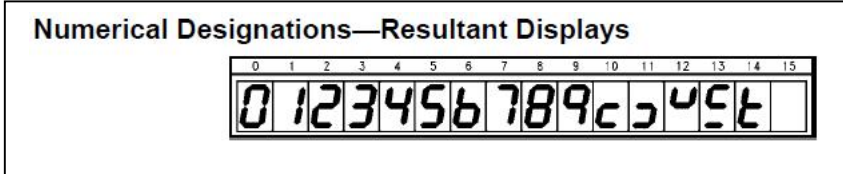
Connection Diagram



Pin Descriptions

Pin Names	Description
A0–A3	BCD Inputs
$\overline{\text{RBI}}$	Ripple Blanking Input (Active LOW)
$\overline{\text{LT}}$	Lamp Test Input (Active LOW)
$\overline{\text{BI/RBO}}$	Blanking Input (Active LOW) or Ripple Blanking Output (Active LOW)
$\overline{\text{a}}$ – $\overline{\text{g}}$	Segment Outputs (Active LOW) (Note 1)

Note 1: OC—Open Collector



DM74LS47

Truth Table

Decimal or Function	Inputs							Outputs							Note
	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	A3	A2	A1	A0	$\overline{\text{BI/RBO}}$	$\overline{\text{a}}$	$\overline{\text{b}}$	$\overline{\text{c}}$	$\overline{\text{d}}$	$\overline{\text{e}}$	$\overline{\text{f}}$	$\overline{\text{g}}$	
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H	(Note 2)
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H	(Note 2)
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L	
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L	
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L	
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L	
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H	
$\overline{\text{BI}}$	X	X	X	X	X	X	L	H	H	H	H	H	H	H	(Note 3)
$\overline{\text{RBI}}$	H	L	L	L	L	L	L	H	H	H	H	H	H	H	(Note 4)
$\overline{\text{LT}}$	L	X	X	X	X	X	H	L	L	L	L	L	L	L	(Note 5)

b- Décodeur (1 parmi n)

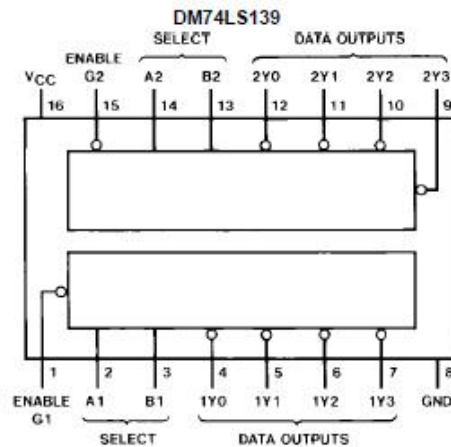
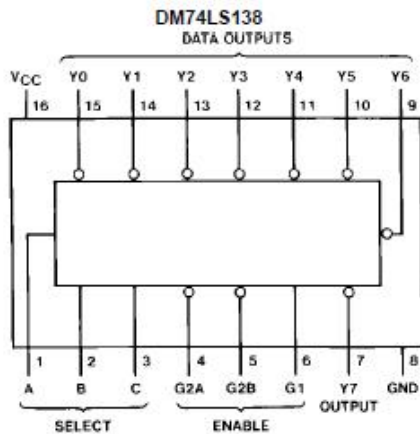
C'est un circuit logique permettant de convertir pour chacune des combinaisons possibles d'entrées, une sortie possible. Le circuit intégré 74LS138 est un décodeur typique, généralement utilisé pour le décodage d'adresses dans des montages avec un microprocesseur. Le niveau actif des sorties est le 0, car c'est souvent le cas.



DM74LS138 • DM74LS139

Decoder/Demultiplexer

Connection Diagrams



Function Tables

DM74LS138

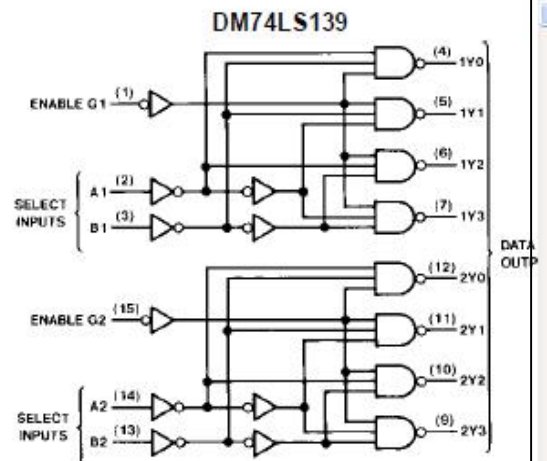
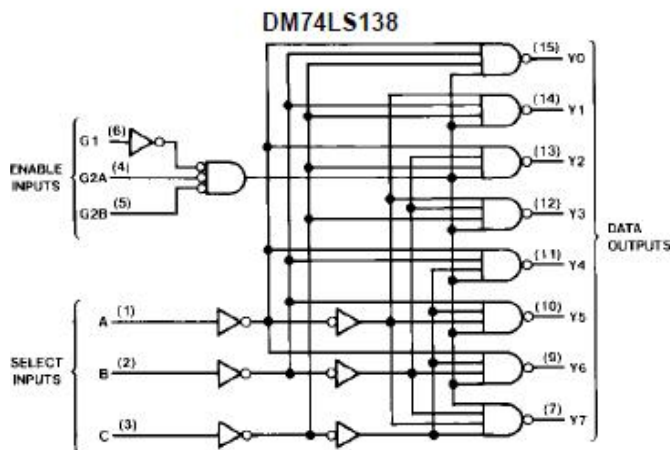
Inputs			Outputs							
Enable		Select	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
G1	G2 (Note 1)	C B A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X X X	H	H	H	H	H	H	H	H
L	X	X X X	H	H	H	H	H	H	H	H
H	L	L L L	L	H	H	H	H	H	H	H
H	L	L L H	H	L	H	H	H	H	H	H
H	L	L H L	H	H	L	H	H	H	H	H
H	L	L H H	H	H	H	L	H	H	H	H
H	L	H L L	H	H	H	H	L	H	H	H
H	L	H L H	H	H	H	H	H	L	H	H
H	L	H H L	H	H	H	H	H	H	L	H
H	L	H H H	H	H	H	H	H	H	H	L

DM74LS139

Inputs			Outputs			
Enable	Select		Y0	Y1	Y2	Y3
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

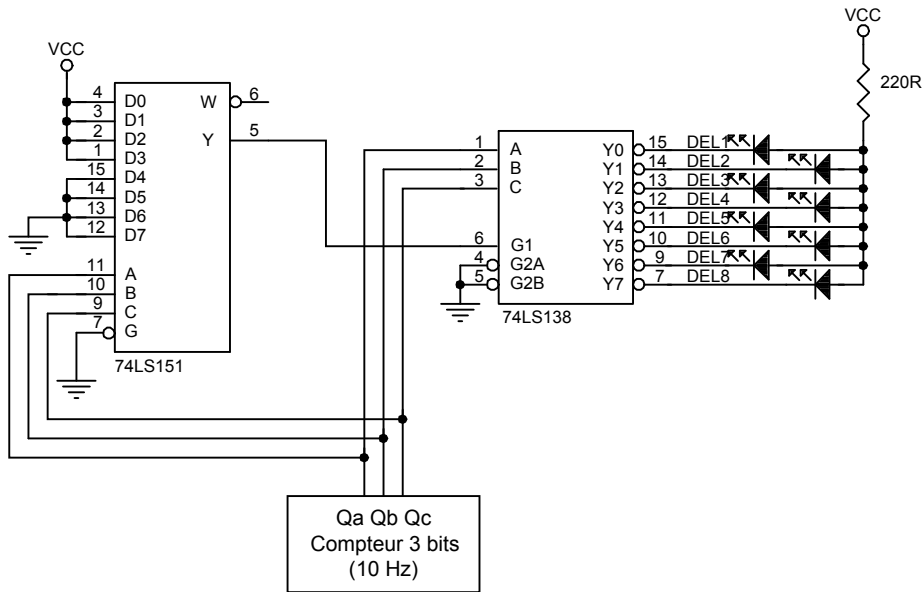
H – HIGH Level
L – LOW Level
X – Don't Care
Note 1: G2 – G2A + G2B

Logic Diagrams



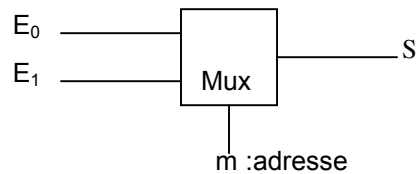
II- Multiplexeurs & Démultiplexeurs

Un multiplexeur permet d'acheminer des données provenant de ses entrées vers son unique sortie. Le démultiplexeur va faire le cheminement inverse, c'est-à-dire, va acheminer les données reçues de l'entrée vers les différentes sorties. (Nous remarquons que seul les DELs 1-2-3-et 4 vont s'allumer et ceci, d'une façon séquentielle.)



Multiplexeur 2 vers 1

soit à réaliser le multiplexeur 2 vers 1 suivant :



Nous aiguillons alors, E_0 sur S si $m=0$, et E_1 sur S si $m=1$

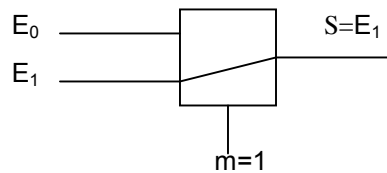
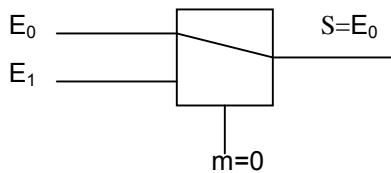


Table de vérité

m	S
0
1

équations logique

$S = \dots\dots\dots$

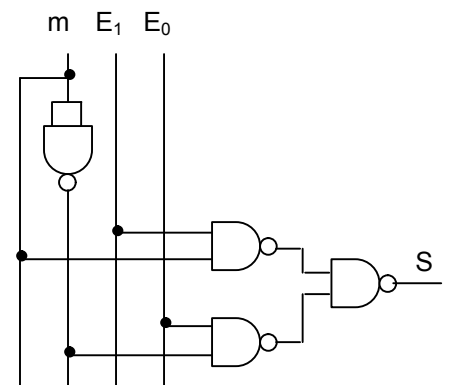
Ou bien

m	E_1	E_0	S
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

		$E_1 E_0$			
		00	01	11	10
m	0	0	1	1	0
	1	0	0	1	1

$S = \dots\dots\dots$

Logigramme avec portes NAND



Exercices

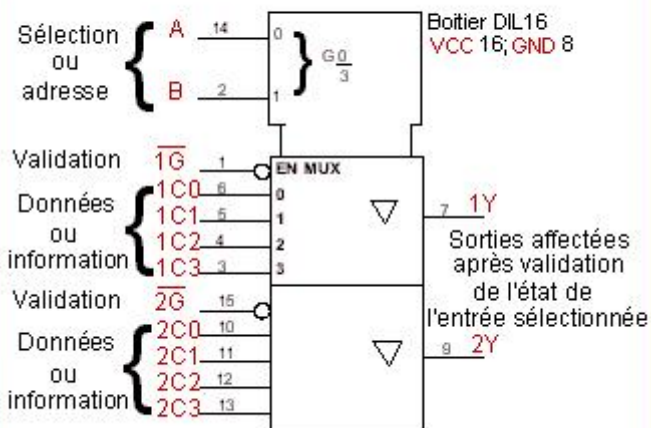
- Réaliser un multiplexeur 4 vers 1. (Prévoir une entrée G de validation)
- Réaliser un décodeur 1 parmi 4.

Exemple de réalisation industrielle

✓ MULTIPLEXEUR

Ce multiplexeur réalise l'aiguillage de deux fois quatre entrées vers une sortie, d'où sa désignation de double-sélecteur de deux fois quatre lignes vers une.

■ Double sélecteur -multiplexeur 4 vers 1 avec sorties 3 états : circuit 74LS253



SELECT INPUTS		DATA INPUTS				OUTPUT CONTROL	OUTPUT
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	Z
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

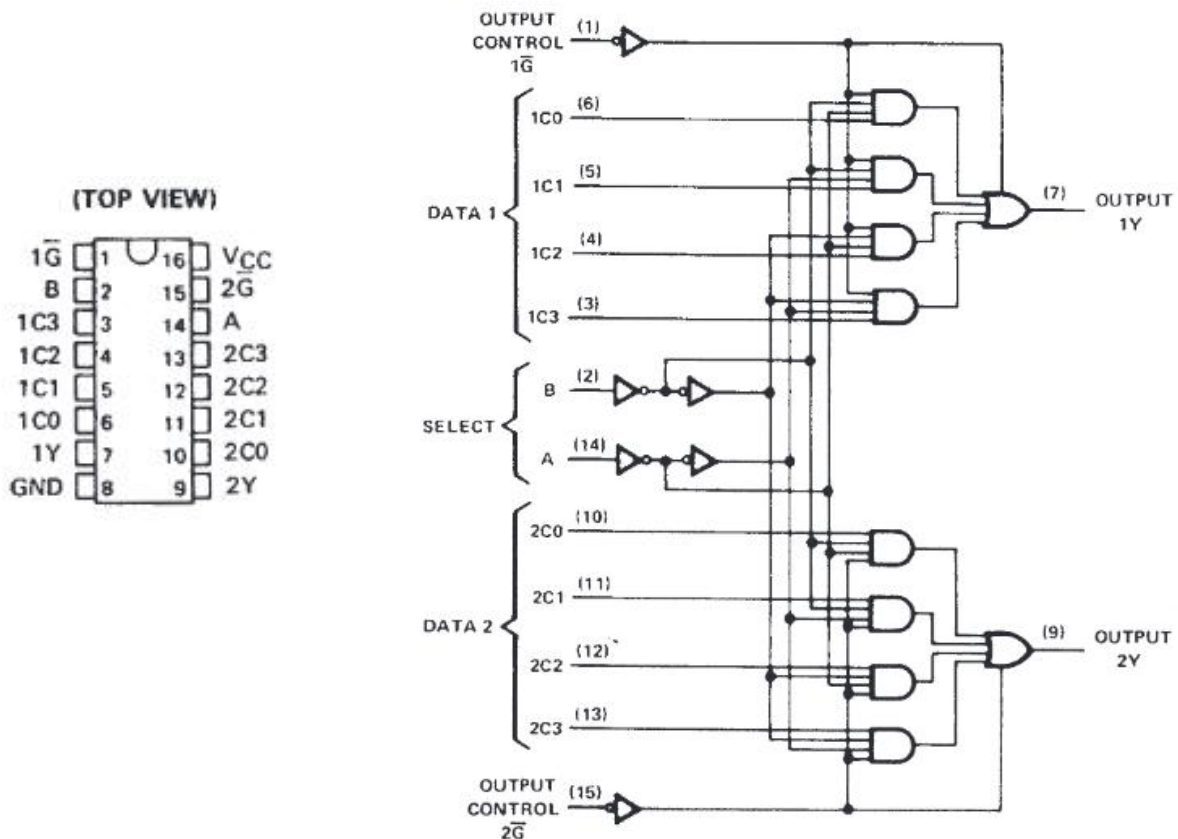
Address inputs A and B are common to both sections.

H = high level, L = low level, X = irrelevant, Z = high impedance (off)

Condition d'emploi

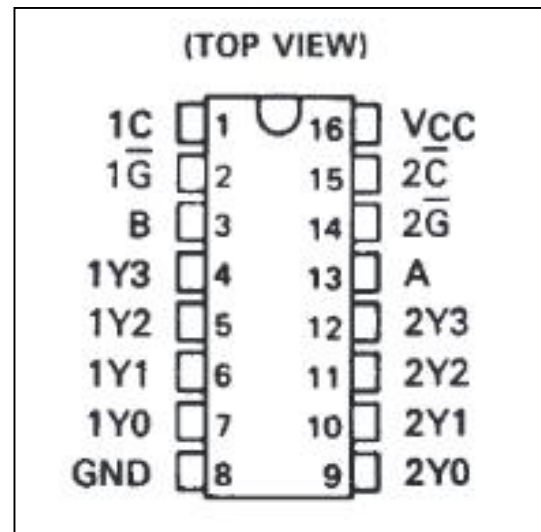
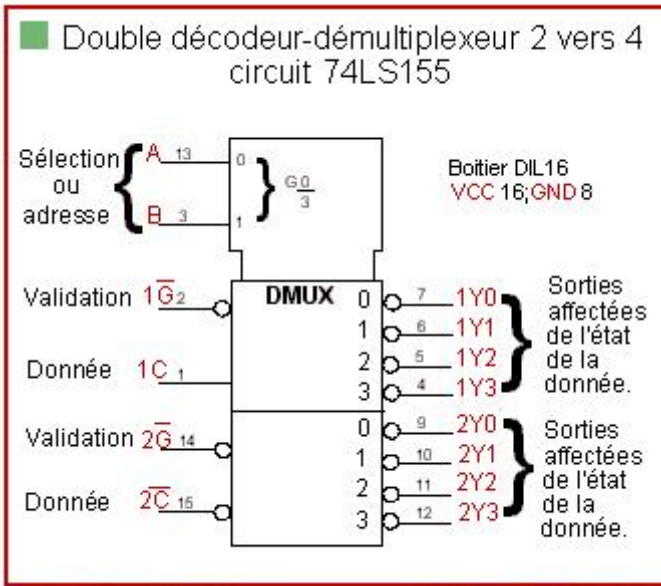
- ▶ Deux entrées de sélection ou adresse, **A** et **B**, qui permettent de sélectionner une entrée parmi les quatre.
- ▶ Deux entrées de validation /1G et /2G qui permettent chacune de valider l'entrée sélectionnée, c'est-à-dire d'en affecter son état sur sa sortie correspondante.
- ▶ Deux fois quatre entrées de données.
- ▶ Deux sorties « **3 états** » séparées **1Y**

logic diagram (positive logic)



✓ DEMULTIPLEXEUR

Ce démultiplexeur réalise l'aiguillage de deux fois une entrée, vers quatre sorties, d'où sa désignation de double démultiplexeur de deux fois une ligne vers quatre.

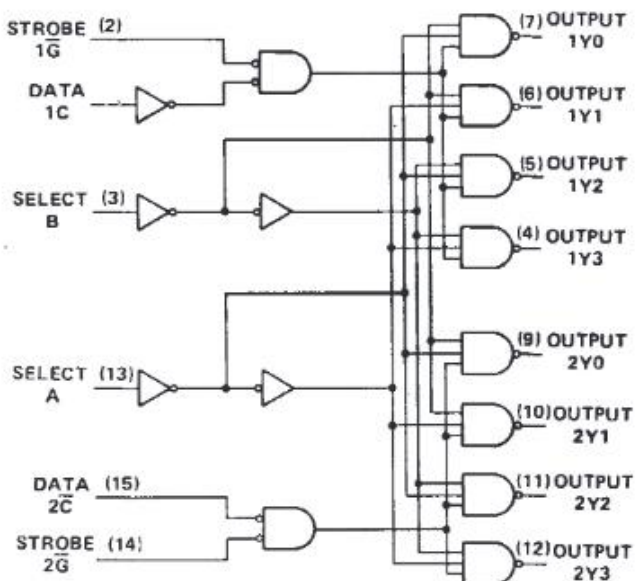


Condition d'emploi

- Deux entrées de sélection ou adresse, **A** et **B**, qui permettent la sélection d'une sortie parmi les quatre.
- Deux entrées de validation $1\overline{G}$ et $2\overline{G}$ qui permettent de valider la sortie sélectionnée, c'est-à-dire de lui affecter la donnée.
- Deux entrées de données : $1\overline{C}$ et $2\overline{C}$.
- Deux fois quatre sorties séparées.

DUAL 2-LINE TO 4-LINE DECODERS/DEMULPLEXERS

logic diagram (positive logic)



FUNCTION TABLES
2-LINE-TO-4-LINE DECODER
OR 1-LINE-TO-4-LINE DEMULTIPLEXER

SELECT		STROBE		DATA		OUTPUTS	
B	A	$1\overline{G}$	$1\overline{C}$	1Y0	1Y1	1Y2	1Y3
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

SELECT		STROBE		DATA		OUTPUTS	
B	A	$2\overline{G}$	$2\overline{C}$	2Y0	2Y1	2Y2	2Y3
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

III- Le Comparateur

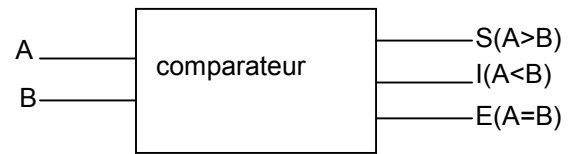
Soit à réaliser un comparateur de deux bit (A et B):

Table de vérité

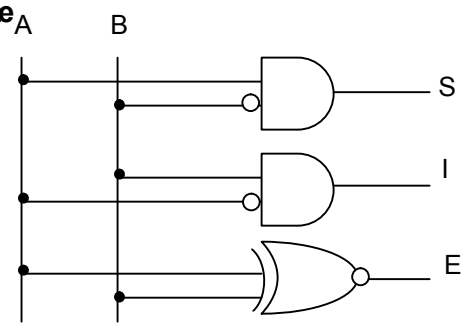
A	B	S(A>B)	I(A<B)	E(A=B)
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

Expressions logiques :

S=.....
 I=
 E=



Logigramme



Comparateur 4 bits 74LS85

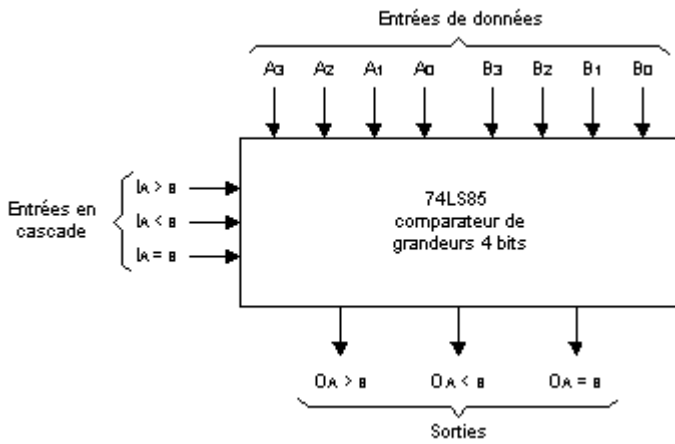


TABLE DE VÉRITÉ

COMPARAISON DES ENTRÉES	ENTRÉES EN CASCADE			SORTIES					
	A3 > B3	A3 < B3	A3 = B3	KA > B	KA < B	KA = B	OA > B	OA < B	OA = B
A3 > B3	X	X	X	X	X	X	H	B	B
A3 < B3	X	X	X	X	X	X	B	H	B
A3 = B3	A3 > B2	X	X	X	X	X	H	B	B
A3 = B3	A3 < B2	X	X	X	X	X	B	H	B
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	B	B
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	B	H	B
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	B	B
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	B	H	B
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	B	B	H	B	B
A3 = B3	A2 = B2	A1 = B1	A0 = B0	B	H	B	B	H	B
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	B	B	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	B	B	B	H	H	B
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	B	B	B	B

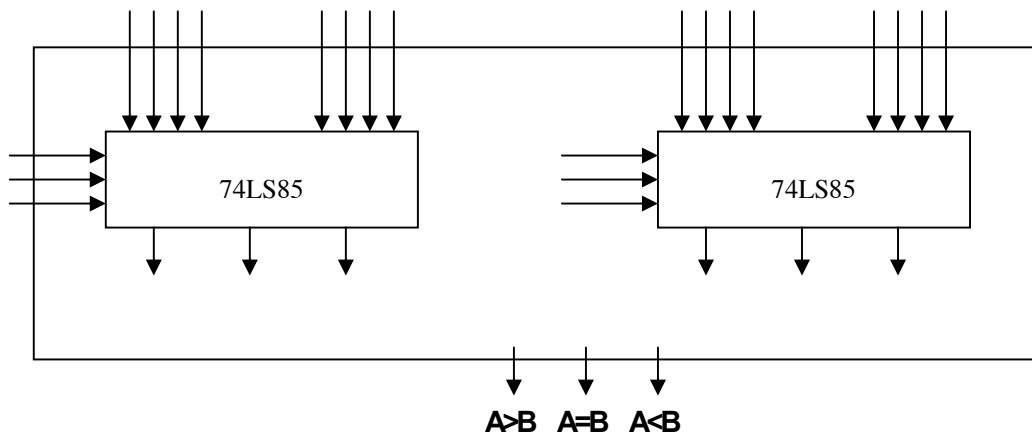
H = niveau HAUT
 L = niveau BAS
 X = indifférent

Exercice

On désire comparer les deux mots binaires suivants A et B :

A=A7 A6 A5 A4 A3 A2 A1 A0 et B=B7 B6 B5 B4 B3 B2 B1 B0

Avec deux circuits intégrés 74LS85, compléter le schéma ci-dessous pour réaliser un comparateur 8bits.



IV- Addition binaire

a- Demi-additionneur

Considérons la cellule comptant deux entrées A_n et B_n , les deux bits à sommer, et deux sorties : S_n la somme et R_n la retenue (Carry).

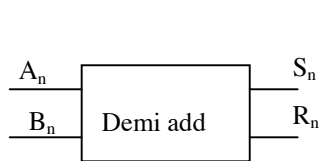


Table de vérité

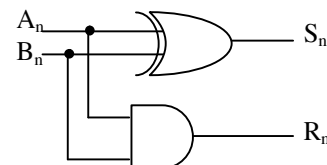
A_n	B_n	S_n	R_n
0	0		
0	1		
1	0		
1	1		

Equations logiques

$$S_n = \overline{A_n}B_n + A_n\overline{B_n} = A_n \oplus B_n$$

$$R_n = A_n B_n$$

Logigramme



b- Additionneur complet

Il faut en fait tenir compte de la retenue, un circuit additionneur complet doit donc comporter trois entrées et deux sorties.

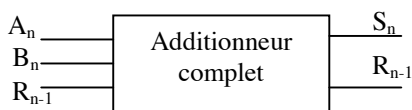
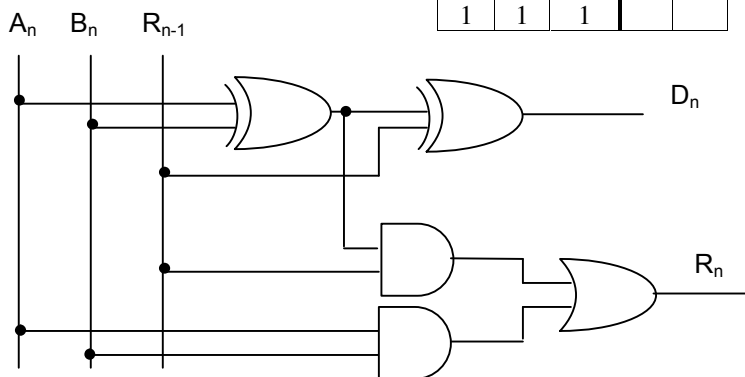


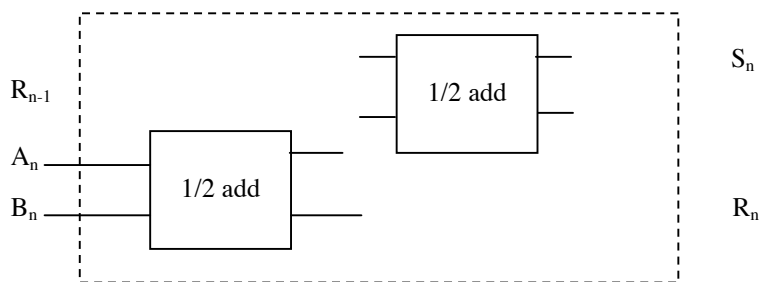
Table de vérité

A_n	B_n	R_{n-1}	S_n	R_n
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

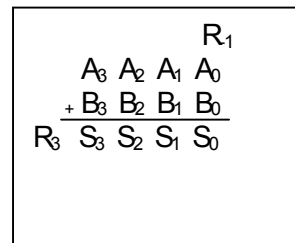
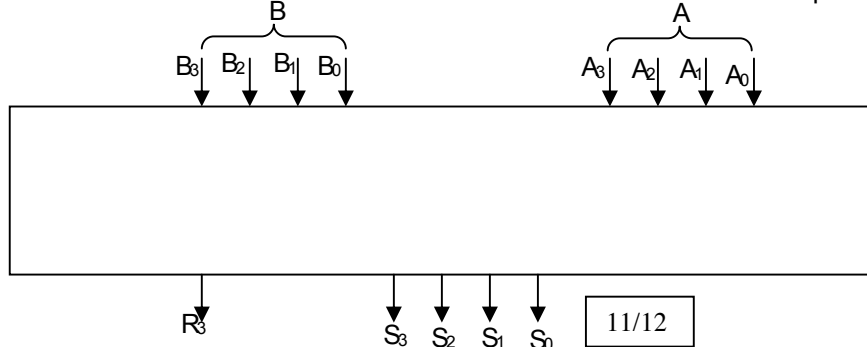
Logigramme



À l'aide de deux demi-additionneurs nous pouvons réaliser l'additionneur complet:



Additionneur 4 bits: A l'aide des 1/2 additionneurs élémentaires nous pouvons réaliser un additionneur 4 bits.



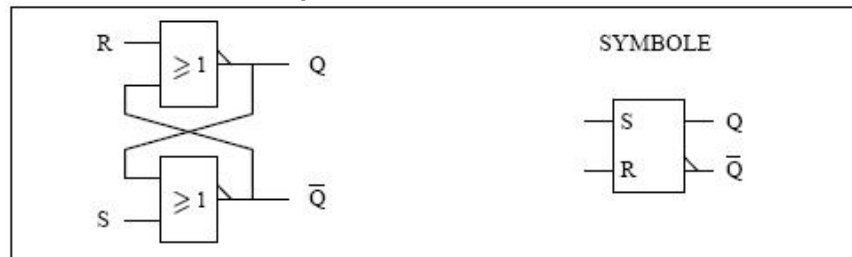
Pour certains circuits logiques l'état des sorties dépend non seulement de la combinaison appliquée aux entrées mais aussi de l'état précédent des sorties. Ces circuits sont dit séquentiels et possèdent un "effet mémoire". Ils sont constitués de bascules.

Une bascule est une microstructure séquentielle qui, pour chaque combinaison d'états appliquée sur ses entrées, présente en sortie deux états stables complémentaires.

A- LES BASCULES

I- BASCULE RS

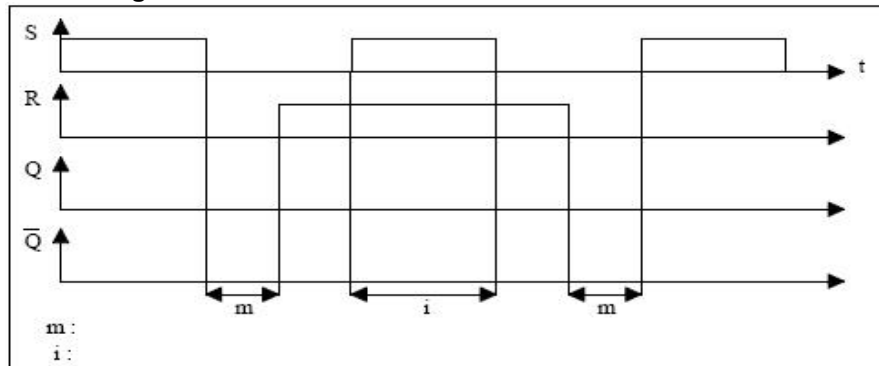
1. Réalisations avec des opérateurs NON-OU



2. Table de vérité réduite

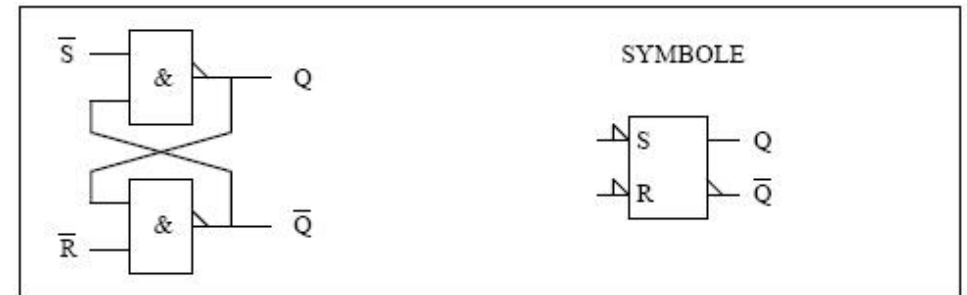
S	R	Q	Q̄	Fonction réalisée
0	0			
0	1			
1	0			
1	1			

3. Chronogrammes de fonctionnement



II- BASCULE /R /S

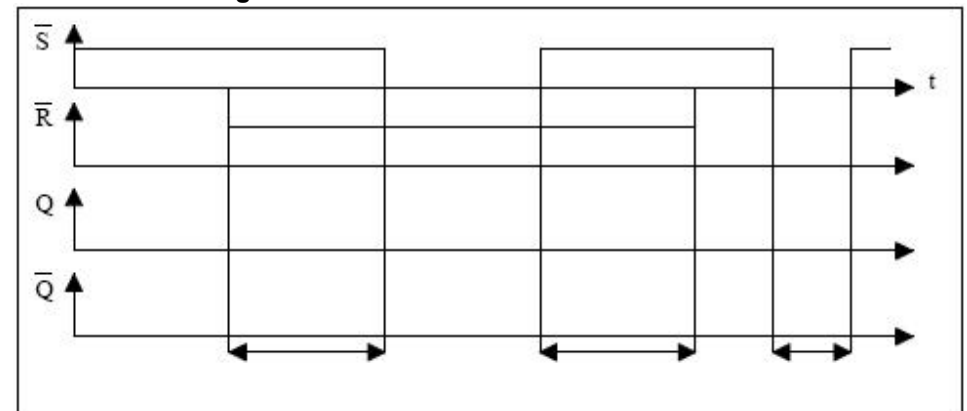
1. Réalisation avec des opérateurs NON-ET



2. Table de vérité réduite

S	R	Q	Q̄	Fonction réalisée
0	0			
0	1			
1	0			
1	1			

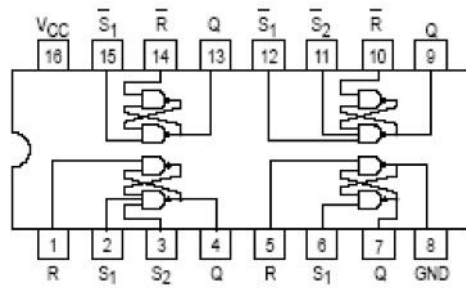
3. Chronogrammes de fonctionnement



4. circuits intégrés à bascules 74279

INPUT			OUTPUT (Q)
S ₁	S ₂	R	
L	L	L	h
L	X	H	H
X	L	H	H
H	H	L	L
H	H	H	No Change

L = LOW Voltage Level
H = HIGH Voltage Level
X = Don't Care



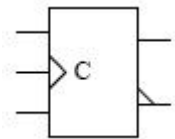
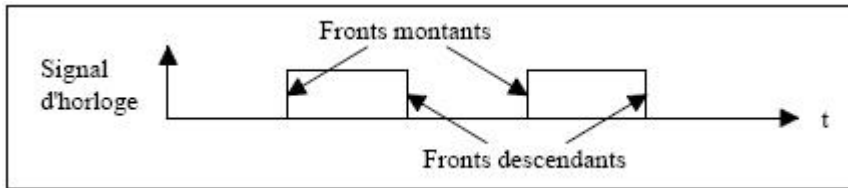
III- SIGNAL D'HORLOGE ET BASCULES SYNCHRONES (FLIP-FLOP)

Dans la bascule RS étudiée précédemment les entrées de commande R et S peuvent modifier l'état de la sortie à tout moment : son fonctionnement est dit **asynchrone**.

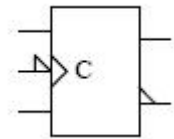
Il s'avère parfois indispensable d'associer une commande qui autorisera ou non l'action demandée par les entrées R et S. Cette nouvelle entrée s'appelle **horloge** (clock ou CLK) et la bascule ainsi réalisée sera qualifiée de **synchrone**.

Les fronts sont identifiés sur le dessin suivant. On distingue :

- Les fronts montants (passage de '0' à '1' du signal d'horloge, transition positive).
- Les fronts descendants (passage de '1' à '0' du signal d'horloge, transition négative).



Entrée d'horloge active sur un front montant



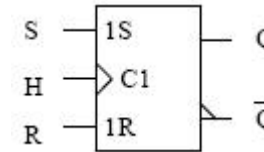
Entrée d'horloge active sur un front descendant

IV- BASCULE RS SYNCHRONE OU RSH

1. Fonctionnement

Les entrées R et S déterminent l'état de la sortie mais cet état n'apparaît que lorsque l'horloge est active. Elles sont dépendantes de l'horloge (entrées synchrones).

2. Symbole

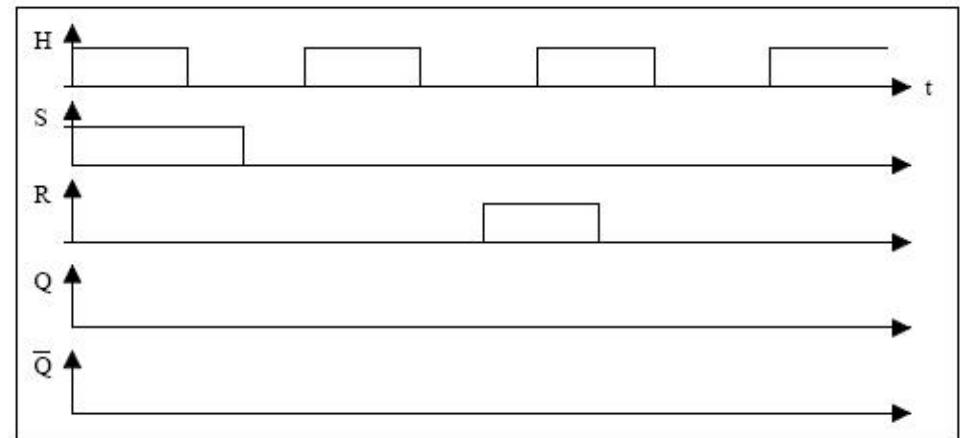


3. Table de vérité réduite

S	R	H	Q	Q̄
0	0	┘		
0	1	┘		
1	0	┘		
1	1	┘		

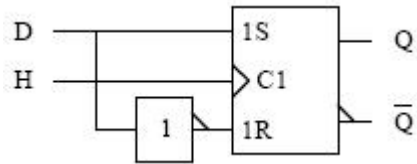
Lorsque l'entrée d'horloge n'est pas active : la bascule se trouve dans l'état mémoire

4. Chronogrammes de fonctionnement



V- BASCULE D

1. Réalisation



La bascule D est une bascule RSH pour laquelle $R = \bar{S}$, afin d'éviter l'ambiguïté de fonctionnement $R = S = 1$.

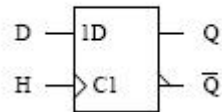
2. Fonctionnement

La bascule D est une bascule synchrone qui ne possède qu'une seule entrée de donnée D. Lorsqu'un front actif se présente sur l'entrée d'horloge, la sortie Q recopie D.

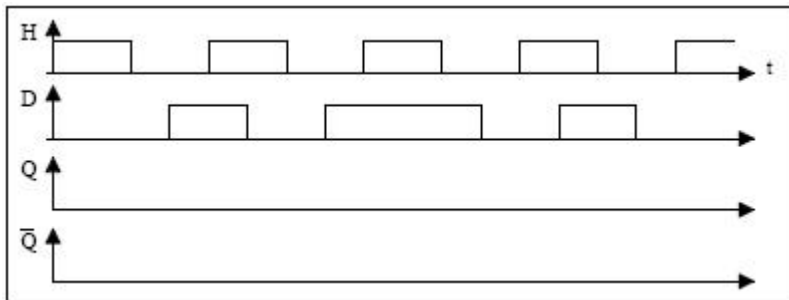
3. Table de vérité

D	H	Q	\bar{Q}
0	1		
1	1		
X	0		
X	1		

SYMBOLE



4. Chronogrammes de fonctionnement



VI- BASCULE D A VEROUILLAGE OU VERROU D (D TYPE LATCH)

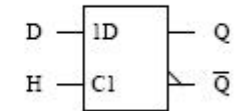
1. fonctionnement

Son fonctionnement diffère de la bascule D vue au paragraphe précédent : elle possède une entrée d'horloge active sur niveau (et non sur front).

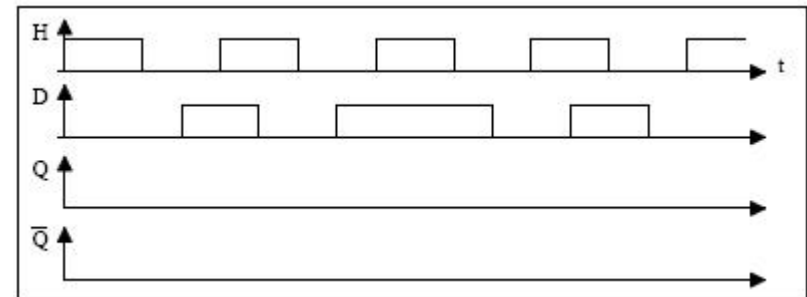
2. Table de vérité

D	H	Q	\bar{Q}
0	1		
1	1		
0	0		
1	0		

SYMBOLE

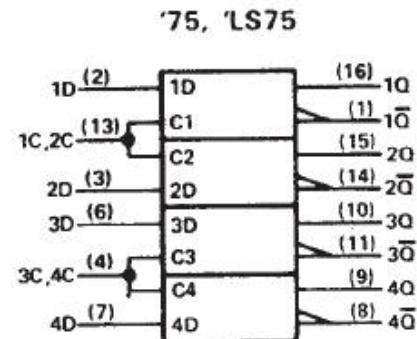


3. Chronogramme de fonctionnement



4- 4 BIT BISTABLE LATCHES SN74LS75

logic symbols^T



FUNCTION TABLE (each latch)

INPUTS		OUTPUTS	
D	C	Q	\bar{Q}
L	H	L	H
H	H	H	L
X	L	Q_0	\bar{Q}_0

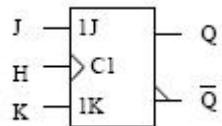
VII- BASCULE JK

La bascule JK est une bascule synchrone qui présente un fonctionnement analogue à la bascule RSH :

- L'entrée J (comme S) provoque la mise à '1' de Q (sur le front actif de l'horloge).
- L'entrée K (comme R) provoque la mise à '0' de Q (sur le front actif de l'horloge).

La différence entre ces deux bascules a lieu pour la combinaison J = K = 1 qui n'entraîne pas de fonctionnement ambigu de la bascule JK. Lorsque cette combinaison est présente sur les entrées, (sur le front actif de l'horloge), les sorties changent d'état. C'est le mode de basculement (Toggle).

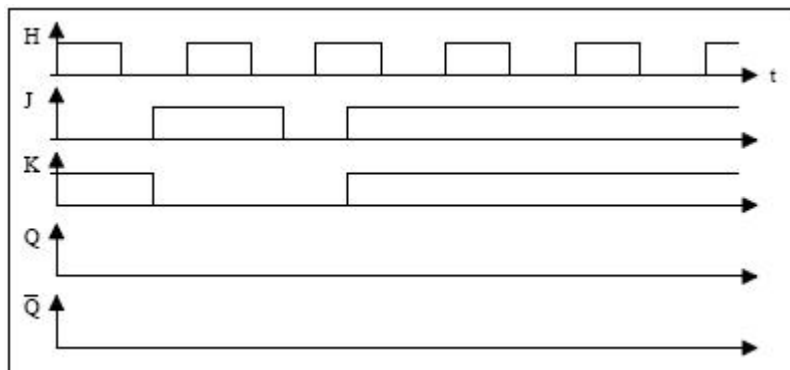
1. Symbole



2. Table de vérité

J	K	H	Q	\bar{Q}	Fonction réalisée
0	0	┌			
0	1	┌			
1	0	┌			
1	1	┌			
X	X	1			
X	X	0			
X	X	┐			

3. Chronogrammes de fonctionnement



4. Circuit intégré 74LS76

Le circuit intégré **74LS76** contient deux bascules JK «negative edge triggered» avec entrées de remise à 0 et de remise à 1

Brochage

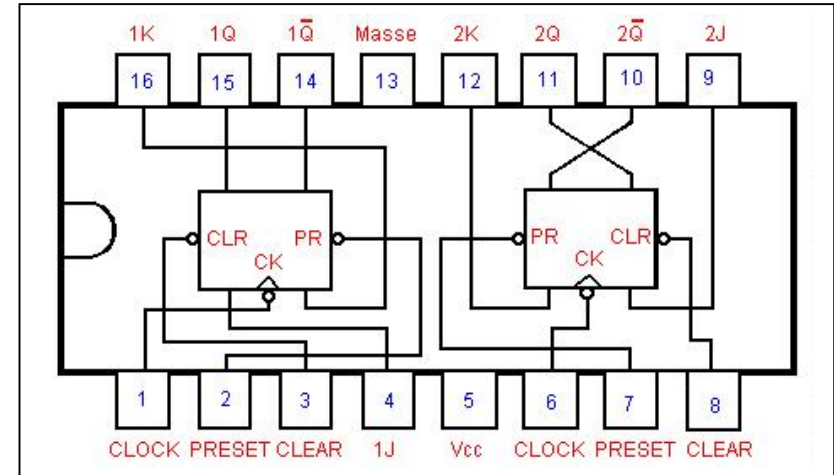


Table de vérité

ENTREES					SORTIES	
CLEAR	PRESET	CLOCK	J	K	Q	\bar{Q}
0	1	X	X	X	0	1
1	0	X	X	X	1	0
0	0	X	X	X	1	1
1	1	↓	0	0	Q0	$\bar{Q}0$
1	1	↓	1	0	1	0
1	1	↓	0	1	0	1
1	1	↓	1	1	TOGGLE	
1	1	1	X	X	Q0	$\bar{Q}0$
1	1	0	X	X	Q0	$\bar{Q}0$

VIII- Bascule T (TOOGLE)

A chaque application d'un signal de commande sur son entrée T, cette bascule change systématiquement l'état de sa sortie Q, quelque soit l'état précédent de la bascule.

1. Symbole :

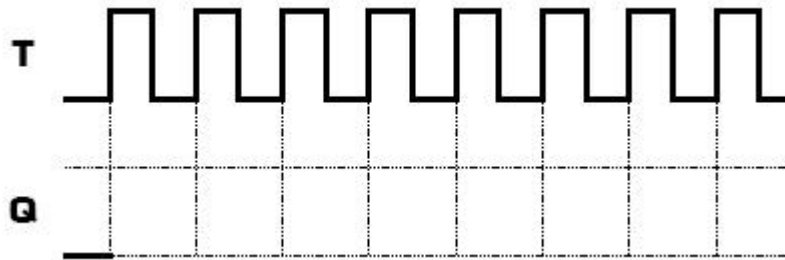


T = « Toggle » = basculement

2. Table de fonctionnement de la bascule T :

Q_{n-1}	T	Q_n	Fonction
0	0	0	
0	1	1	
1	0	1	
1	1	0	

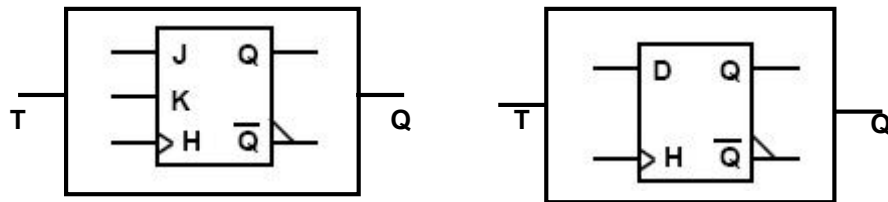
3. Chronogrammes



Si la fréquence du signal T est F_T , et de Q est F_Q . Donner F_Q en fonction de F_T .

.....Conclusion.....

4. Réalisation d'une bascule T avec une bascule JK et avec une bascule D :



Pour réaliser une bascule T avec une bascule JK, on utilise le mode de fonctionnement « basculement » ($J=K=1$), et pour réaliser une bascule T avec une bascule D on relie D à la sortie complémentaire.

B- LES COMPTEURS

Un compteur est un ensemble de n bascules interconnectées par des portes logiques. Ils peuvent décrire, au rythme d'un signal de commande appelé horloge, une suite d'états binaires. Il ne peut y avoir au maximum que 2^n combinaisons et le nombre total N des combinaisons successives est appelé le **modulo** du compteur. Les compteurs binaires peuvent être classés en deux catégories :

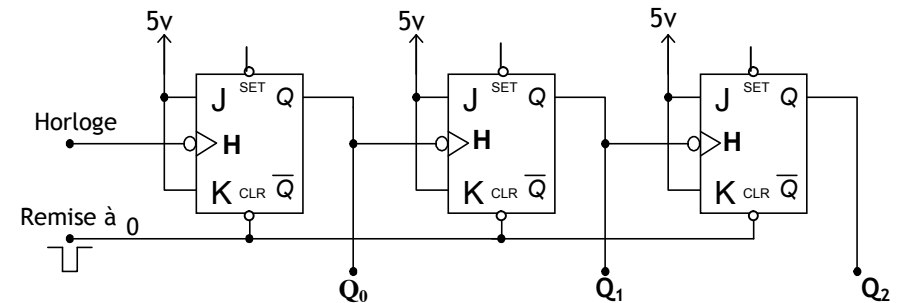
- Les compteurs asynchrones : l'entrée d'horloge est commune à toutes les bascules
- Les compteurs synchrones : la sortie d'une bascule constitue le signal d'horloge de la suivante.

I- Les compteurs et décompteurs asynchrones

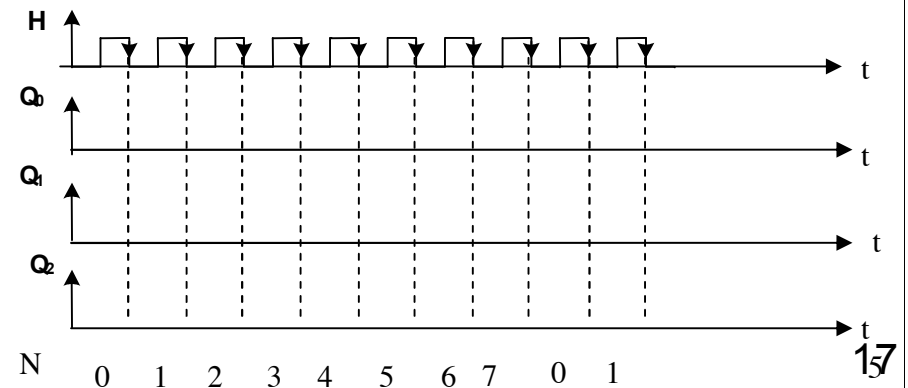
On dit compteur asynchrone lorsqu'on n'applique pas le même signal d'horloge aux entrées horloges des bascules.

1. Compteur asynchrone modulo 8 à cycle complet

$8=2^3$ ($N=2^n$) : donc on aura besoin de 3 bascules T



a- Chronogrammes



b-Table de fonctionnement

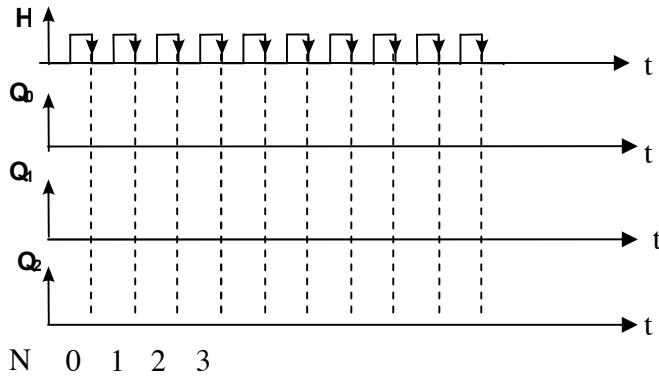
	H	Q ₂	Q ₁	Q ₀
0	...	0	0	0
	↓			
	↓			
	↓			
	↓			
	↓			
	↓			
	↓			
	↓			
	↓			

2. Décompteur binaire à cycle complet sur 3 bits, asynchrone

Réaliser ce décompteur (penser à exploiter les sorties complémentées des bascules)

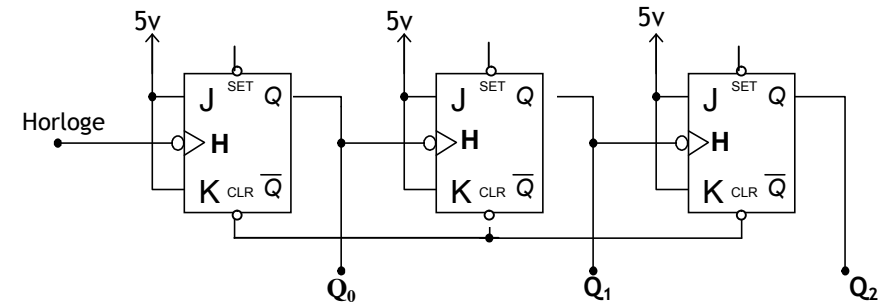
3. Compteur à cycle incomplet modulo 5 (N≠2ⁿ).

a- chronogrammes



b- Table de fonctionnement

c- Logigramme du compteur modulo 5



II- Les compteurs et décompteurs synchrones

La structure asynchrone présente un défaut majeur : les temps de propagation des bascules s'ajoutent. Ce qui provoque l'apparition de mots de sortie erronés et un fonctionnement aléatoire à fréquence d'horloge élevée.

On utilise la table de transition de la bascule J-K ainsi que la table de vérité décrivant la séquence du compteur.

J	K	Q _n	Q _{n+1}
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Table de vérité bascule JK



Q _n	Q _{n+1}	J	K
0	0		
0	1		
1	0		
1	1		

Table d'excitation

Prenons l'exemple d'un compteur modulo 8, donc on a besoin de 3 bascules JK.

Table de vérité du compteur :

Q ₂	Q ₁	Q ₀	J ₀	K ₀	J ₁	K ₁	J ₂	K ₂
0	0	0						
0	0	1						
0	1	0						
0	1	1						
1	0	0						
1	0	1						
1	1	0						
1	1	1						

La résolution du problème consiste à chercher les équations des entrées J et K de chaque bascule à l'aide de la table des états recherchés :

J₀

		Q ₁ Q ₀				
		00	01	11	10	
Q ₂	0	1	x	X	1	=.....
	1	1	X	X	1	

K₀

		Q ₁ Q ₀				
		00	01	11	10	
Q ₂	0	X	1	1	X	K ₀ =.....
	1	X	1	1	X	

J₁

		Q ₁ Q ₀				
		00	01	11	10	
Q ₂	0					J ₁ =.....
	1					

K₁

		Q ₁ Q ₀				
		00	01	11	10	
Q ₂	0					K ₁ =.....
	1					

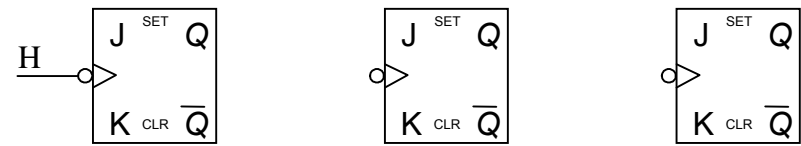
J₂

		Q ₁ Q ₀				
		00	01	11	10	
Q ₂	0					J ₂ =.....
	1					

K₂

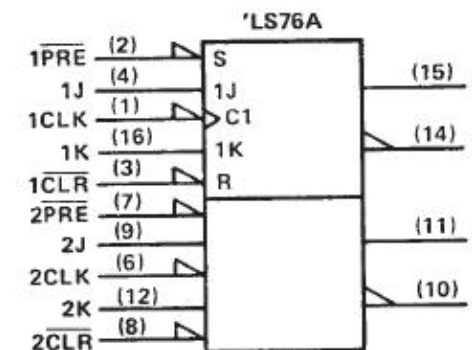
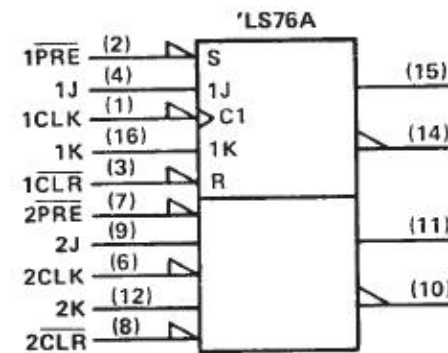
		Q ₁ Q ₀				
		00	01	11	10	
Q ₂	0					K ₂ =.....
	1					

Logigramme



Exercice

Réaliser un compteur asynchrone modulo 13 à base du circuit intégré 74LS76A







III- COMPTEURS INTEGRES

1. SYMBOLE ET NORMALISATION DES COMPTEURS


- SYMBOLES DISTINCTIFS DES COMPTEURS

- CTR : compteur.
- CTR DIV m : compteur diviseur par m ou compteur modulo m.
- CTR m : compteur à m étages (diviseur par 2^m).

- ENTREES SPECIFIQUES

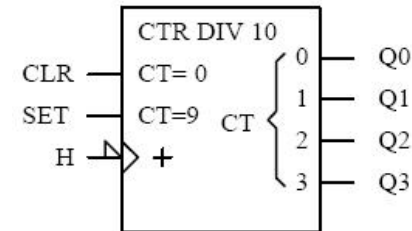
<p><u>Entrée de comptage</u></p>  <p>incrémente le compteur à chaque front montant du signal d'horloge</p>	<p><u>Entrée de décomptage</u></p>  <p>décrémente le compteur à chaque front montant du signal d'horloge</p>
<p><u>Entrée de mise à '0' du compteur</u></p>  <p>CT=0 Le compte (CT) du compteur est ramené à 0</p>	<p><u>Entrée d'autorisation de comptage</u></p>  <p>Gi le N° : i se retrouve sur l'entrée influencée (horloge du compteur) Le compteur est bloqué tant que cette entrée est inactive ('1')</p>

- SORTIES

<p><u>Sortie de fin de cycle de comptage (compteur modulo m)</u></p>  <p>CT = m-1 sortie active (ici '0') lorsque le compteur a atteint sa valeur maximale</p>
<p><u>Sorties numériques du compteur</u></p> <p>Le compte décimal du compteur est obtenu en faisant la somme des sorties à 1 multiplié par leur poids (conversion binaire / décimal)</p> <p>Le rang des sorties (0, 1, 2, ...) placées par ordre croissant peut être remplacé par le poids affecté à chaque sortie (valeur décimale : 1, 2, 4, ...)</p>

2. COMPTEUR DÉCIMAL (74490)

Symbole

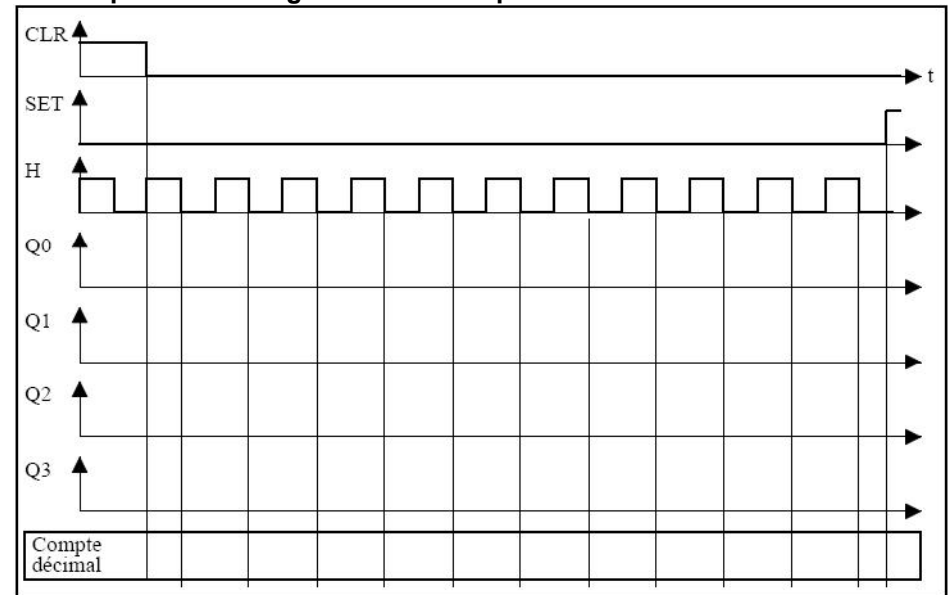


Définition des entrées et des sorties de ce compteur

Faire l'inventaire des entrées et sorties du circuit dans le tableau suivant. Préciser leur rôle ainsi que leur niveau (ou front actif)

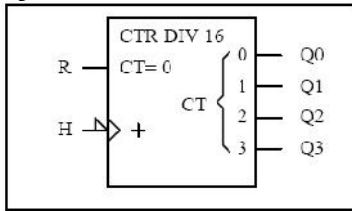
NOM	SYMBOLE	ACTIF	RÔLE

Compléter les chronogrammes de ce compteur

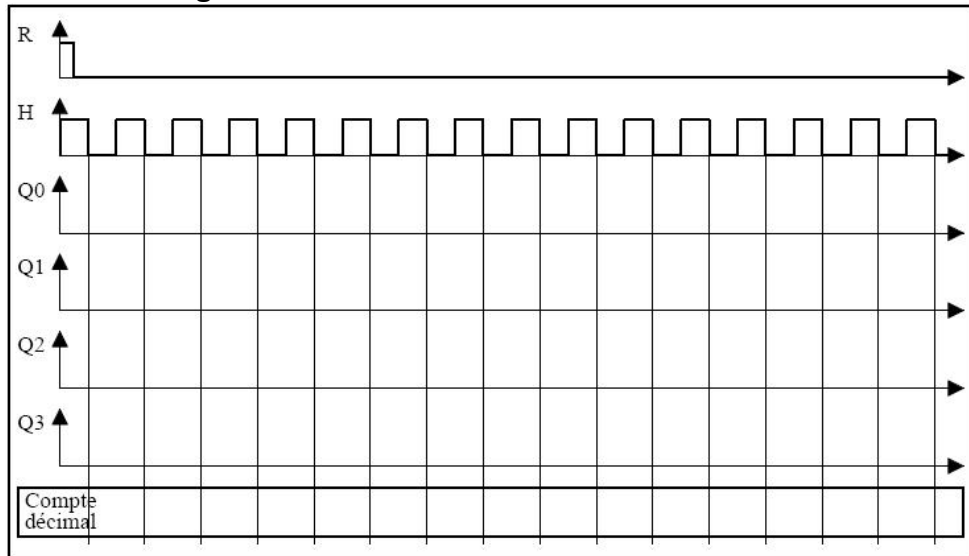


IV- COMPTEUR BINAIRE (74393)

Symbole



Chronogrammes



Indiquer le rapport de division de fréquence entre chaque sortie et le signal d'horloge H :

.....

.....

.....

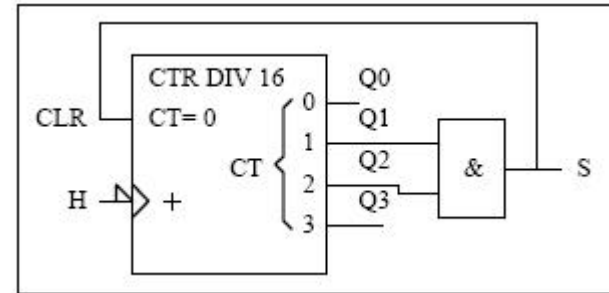
.....

V- COMPTEURS DE MODULO DIFFÉRENT DE 2^N

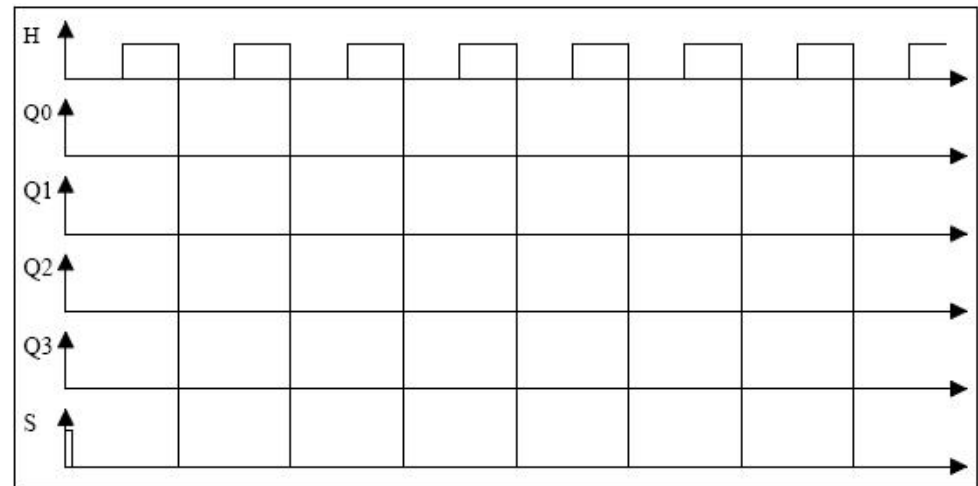
Il est toujours possible de réaliser un compteur dont le modulo est différent de 2^N . Pour cela, il suffit de forcer la réinitialisation (remise à zéro) du compteur par la combinaison qui suit la dernière impulsion comptée.

Réalisation d'un compteur modulo 6

Le compteur modulo 6 doit compter de 0 à 5 puis repartir à 0. On obtient ce fonctionnement en détectant la combinaison 6 et en forçant la remise à zéro du compteur dès que cette combinaison apparaît en sortie du compteur.



Chronogrammes de fonctionnement



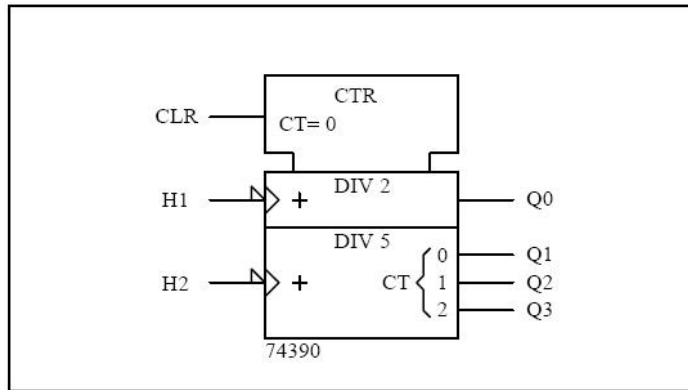
Quel est le rapport de division de fréquence entre la sortie S et l'horloge H ?

.....

VI- CONCEPTION PARTIELLE DE MONTAGES À COMPTEURS

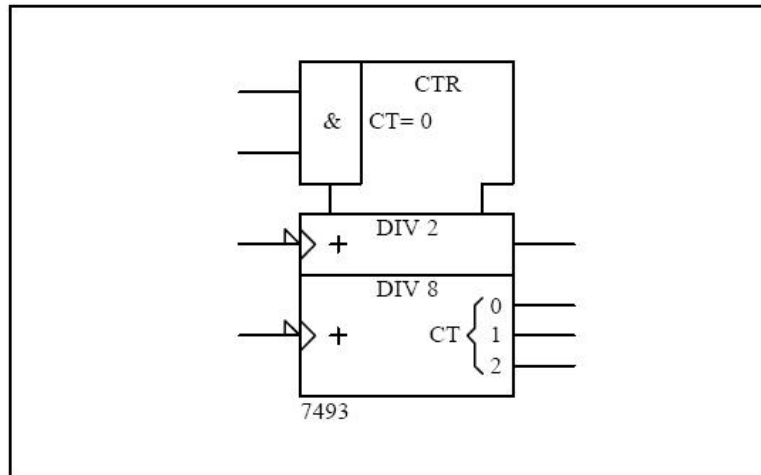
1. COMPTEUR 74390

Compléter le schéma structurel suivant pour réaliser un compteur décimal (modulo 10).



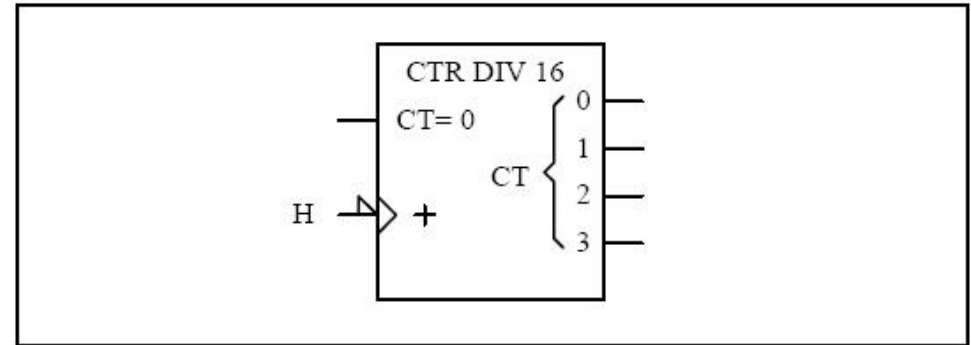
2. COMPTEUR 7493

Compléter le schéma suivant pour réaliser un compteur modulo 12.



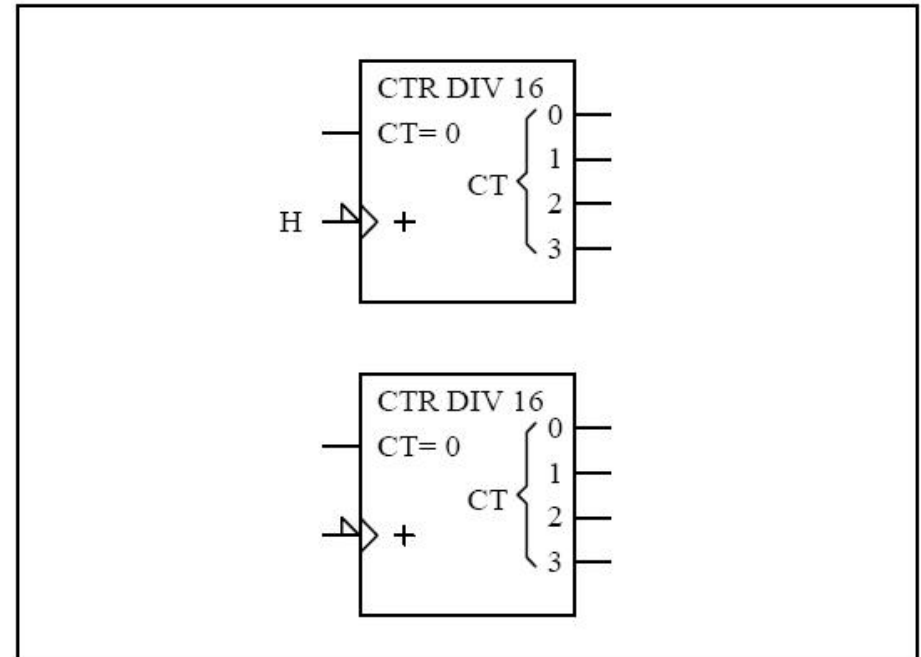
3. COMPTEUR 74393

Compléter le montage suivant (utilisant un 74393) pour produire un signal de fréquence 1.25KHz si le signal d'entrée, appliqué sur l'entrée repérée H, a une fréquence de 10 KHz.



4. MISE EN CASCADE DE 2 COMPTEURS 74393

Compléter le montage suivant pour réaliser un diviseur de fréquence par 64



VII- RÉALISATION D'UNE HORLOGE

Proposer un schéma fonctionnel permettant de réaliser une horloge affichant les heures, les minutes et les secondes à partir d'un signal d'horloge de fréquence 50 Hz.